

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Kim *et al.*

Serial No. To be assigned

Filed: Concurrently herewith

**For: METHODS OF FABRICATING A SEMICONDUCTOR SUBSTRATE FOR  
REDUCING WAFER WARPAGE**

March 23, 2004

MAIL STOP PATENT APPLICATION

Commissioner for Patents

PO Box 1450

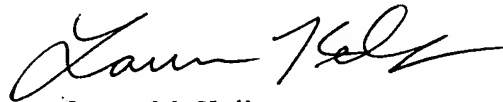
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of Korean  
priority application Serial No. 2003-18275, filed March 24, 2003.

Respectfully submitted,



Laura M. Kelley

Registration No. 48,441

Myers Bigel Sibley & Sajovec, P.A.

P. O. Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

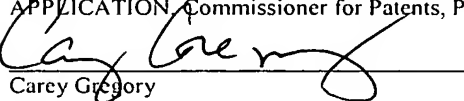
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No. EV 381443557 US

Date of Deposit: March 23, 2004

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post  
Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT  
APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

  
Carey Gregory



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0018275  
Application Number

출원 년 월 일 : 2003년 03월 24일  
Date of Application MAR 24, 2003

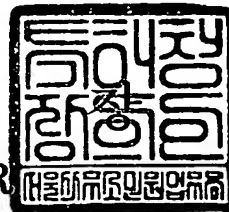
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.24
【발명의 명칭】	웨이퍼 휘어짐을 억제할 수 있는 반도체 제조방법
【발명의 영문명칭】	METHOD OF FABRICATING SEMICONDUCTOR FOR REDUCING WAFER WARPAGE
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	김원진
【성명의 영문표기】	KIM, WON JIN
【주민등록번호】	641019-1023916
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 957-6 청명마을 삼익APT 326동 1403호
【국적】	KR
【발명자】	
【성명의 국문표기】	박영욱
【성명의 영문표기】	PARK, YOUNG-WOOK
【주민등록번호】	630412-1038016
【우편번호】	440-301

**【주소】** 경기도 수원시 장안구 정자1동 백설마을 성지아파트 541동 706호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 류정도  
**【성명의 영문표기】** RYU, JEONG-DO  
**【주민등록번호】** 720523-1560112  
**【우편번호】** 440-200  
**【주소】** 경기도 수원시 장안구 조원동 502-2번지 201호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
임창현 (인) 대리인  
권혁수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 5 면 5,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 7 항 333,000 원  
**【합계】** 367,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

웨이퍼 휘어짐을 억제할 수 있는 반도체 제조방법을 제공한다. 이 방법에 따르면 전면 (front side) 및 후면(backside)을 갖는 반도체 기판을 제공하고, 반도체 기판의 전면 및 후면에 적어도 한층의 물질층을 적층한다. 물질층을 선택적으로 식각하여 반도체 기판의 전면에 제1 구조체(first structure)를 형성한다. 반도체 기판 전면의 구조체 및 반도체 기판 후면의 물질층을 덮는 캐핑층을 형성한다. 반도체 기판을 회전시키면서 회전하는 반도체 기판 후면에 식각용액을 공급하여 캐핑층을 선택적으로 제거한다. 캐핑층에 의해 구조체를 보호함과 동시에 반도체 기판의 후면의 물질층을 제거한다. 캐핑층을 패터닝하여 반도체 기판의 전면에 제2 구조체를 형성한다.

**【대표도】**

도 13

【명세서】

【발명의 명칭】

웨이퍼 휘어짐을 억제할 수 있는 반도체 제조방법{METHOD OF FABRICATING SEMICONDUCTOR FOR REDUCING WAFER WARPAGE}

【도면의 간단한 설명】

도 1 및 도 2는 통상적인 반도체 제조공정을 나타낸 도면들이다

도 3은 본 발명의 바람직한 실시예에 따른 반도체 제조공정을 설명하기 위한 흐름도이다.

도 4 내지 도 8은 본 발명의 바람직한 실시예에 따른 웨이퍼 휘어짐 억제방법을 나타낸 공정단면도들이다.

도 9 내지 도 11은 본 발명의 바람직한 실시예에 따른 DRAM공정의 웨이퍼 휘어짐 억제방법을 나타낸 공정단면도들이다.

도 12는 본 발명의 바람직한 실시예에 따른 웨이퍼 휘어짐 억제를 위한 웨이퍼 후면 식각방법을 설명하기 위한 도면이다.

도 13 내지 도 15는 웨이퍼 휘어짐 억제를 위한 웨이퍼 후면 식각방법을 나타낸 흐름도들이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 제조방법에 관한 것으로서, 더욱 상세하게는 웨이퍼의 휨을 방지할 수 있는 반도체 제조방법에 관한 것이다. 반도체 소자는 반도체 기판에 복수층의 물질막들을 형성하고, 상기 물질막들을 패터닝함으로써 제조된다. 반도체 소자는 반도체 기판의 전면(front side)에 형성되는데, 반도체 기판의 전면에 물질막을 형성하는 동안 반도체 기판의 후면(backside)에도 전면에 형성되는 것과 같은 물질막들이 형성된다. 상기 물질막은 반도체 기판에 장력(tensile stress) 또는 압축력(compressive stress)를 가한다. 반도체 기판의 전면 및 후면에 동일한 조성의 물질막이 동일한 두께로 형성될 경우 힘의 평형에 의해 반도체 기판은 원형을 유지하지만, 전면 및 후면에 가해지는 힘의 평형이 깨어지면 반도체 기판은 휘게된다.

<8> 도 1 및 도 2는 종래의 반도체 제조방법을 설명하기 위한 공정도들이다.

<9> 도 1을 참조하면, 전면(front side) 및 후면(backside)를 갖는 반도체 기판(10)을 준비한다. 상기 반도체 기판(10)의 전면에 반도체 소자가 형성된다. 반도체 소자는 실리콘기판, 실리콘게르마늄 기판, SOI기판 등에 형성된다.

<10> 도 2를 참조하면, 상기 반도체 기판의 전면에 적어도 한 층의 물질막을 형성하고, 상기 물질막을 선택적으로 패터닝하여 소정의 구조체(structure; 14)를 형성한다. 상기 물질막은 열산화공정에 의해 형성된 산화막, 증착공정에 의해 형성된 산화막, 질화막 등의 다양한 물질막을 포함할 수 있다. 상기 반도체 기판(10)의 전면에 물질막을 형성하는 동안, 상기 반도체 기판(10)의 후면에도 전면에 형성되는 물질막과 동일한 물질막(12)이 형성된다. 따라서, 상기 반

도체 기판(10) 전면의 상기 물질막을 패터닝하여 소정의 구조체(14)를 형성하면, 전·후면에 가해지는 스트레스의 균형이 깨어져 도시된 것과 같이 상기 반도체 기판(10)은 휘어진다.

- <11>       공정이 진행되는 동안 반도체 기판의 휘어짐(warpage)이 심화되면 반도체 기판의 영역에 대한 패턴 균일도가 매우 낮아져 수율이 떨어지는 문제를 유발하거나, 최악의 경우 공정진행 과정에서 반도체 기판이 파손되는 문제를 유발하기도 한다. 최근에 생산성 향상을 위해 도입된 300mm 웨이퍼는 그 직경이 크기 때문에 장력 또는 압축력에 의해 휘어짐이 매우 심해질 수 있어, 이러한 문제가 더욱더 심화될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <12>       본 발명이 이루고자 하는 기술적 과제는 반도체 기판의 휘어짐을 억제할 수 있는 반도체 제조방법을 제공하는데 있다.
- <13>       본 발명이 이루고자 하는 다른 기술적 과제는 반도체 기판의 전면에 형성된 구조체를 보호하면서 반도체 기판의 휘어짐을 억제할 수 있는 반도체 제조방법을 제공하는데 있다.

#### 【발명의 구성 및 작용】

- <14>       상기 기술적 과제를 달성하기 위하여 본 발명은 기판 후면 식각공정을 포함하는 반도체 제조방법을 제공한다. 이 방법은 전면(front side) 및 후면(backside)을 갖는 반도체 기판을 제공하고, 상기 반도체 기판의 전면 및 후면에 적어도 한층의 물질층을 적층하는 것을 포함한다. 상기 물질층을 선택적으로 식각하여 상기 반도체 기판의 전면에 제1 구조체(first structure)를 형성한다. 상기 반도체 기판 전면의 상기 구조체 및 상기 반도체 기판 후면의 상기 물질층을 덮는 캐핑층을 형성한다. 상기 반도체 기판을 회전시키면서 회전하는 반도체 기판 후면에 식각용액



을 공급하여 상기 캐핑층을 선택적으로 제거한다. 상기 캐핑층에 의해 상기 구조체를 보호함과 동시에 상기 반도체 기판의 후면의 상기 물질층을 제거한다. 상기 캐핑층을 패터닝하여 상기 반도체 기판의 전면에 제2 구조체를 형성한다.

<15>       상기 반도체 기판 후면에 식각용액을 공급하는 동안 상기 식각용액이 상기 반도체 기판의 전면에 도달하는 것을 방지하기 위하여 상기 반도체 기판 전면에 보호물질을 분사하는 것이 바람직하다. 상기 보호물질은 상기 반도체 기판의 전면을 손상시키지 않는 물질로써, 예컨대 탈이온수 또는 불활성 기체를 분사할 수 있다.

<16>       상기 반도체 기판 후면의 상기 캐핑층이 제거되면, 상기 반도체 기판의 전면은 상기 캐핑층으로 덮이고, 상기 반도체 기판 후면의 상기 물질층이 노출된다. 상기 물질층은 상기 캐핑층과 반응하지 않거나 반응속도가 느리되 상기 물질층에 대한 식각선택성이 높은 식각용액으로 제거할 수 있다. 결과적으로, 본 발명에 따르면 반도체 기판 후면에 형성된 물질층들을 선택적으로 제거함으로써 반도체 기판의 휘어짐이 억제된다.

<17>       이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

- <18> 도 3은 본 발명의 바람직한 실시예에 따른 웨이퍼 휘어짐을 억제할 수 있는 방법을 설명하기 위한 흐름도이다.
- <19> 도 4 내지 도 8은 본 발명의 바람직한 실시예에 따른 웨이퍼 휘어짐을 억제할 수 있는 방법을 설명하기 위한 공정단면도들이다.
- <20> 도 3의 90 및 도 4를 참조하면, 전면 및 후면을 갖는 반도체 기판(50)에 물질막(52)을 형성한다. 상기 물질막은 하나 또는 그 이상의 층일 수 있다. 또한, 상기 물질막(52)은 서로 식각선택성이 낮은 물질로써 동일한 케미컬에 의해 식각되고, 후속공정에서 형성될 다른 물질에 대하여 식각선택성을 갖는 물질인 것이 바람직하다. 예컨대, 상기 물질막은 실리콘 산화막 및 실리콘질화막 중 선택되어진 하나 또는 이들의 조합막일 수도 있다. 실리콘 산화막 및 실리콘질화막은 특정의 케미컬에 대하여 상호 식각선택성이 낮고, 폴리실리콘막 등의 반도체 제조공정에 사용되는 다른 물질막에 대하여 높은 식각선택성을 가진다. 상기 물질막(52)은 상기 반도체 기판의 전면(front side) 뿐만 아니라 후면(backside)에도 형성된다.
- <21> 도 3의 90 및 도 5를 참조하면, 상기 반도체 기판(50) 전면(front side)의 상기 물질막(52)을 패터닝하여 소정의 구조체(structure; 52p)를 형성한다. 상기 반도체 기판의 후면은 상기 물질막(52)에 의해 덮여있다.
- <22> 도 3의 92 및 도 6을 참조하면, 상기 반도체 기판 전면의 상기 구조체(52p) 및 상기 반도체 기판 후면의 상기 물질막(52)을 덮는 캐핑막(54)을 형성한다. 상기 캐핑막(54)은 상기 물질막(52)에 대하여 식각선택성을 가지는 물질로써 소자의 제조공정의 소정단계에서 선택될 수 있다. 즉, 상기 구조체(52)를 보호하기 위해서 별도의 캐핑층을 적층하지 않고, 통상의 공정에서 하층의 물질에 대하여 식각선택성을 갖는 물질이 기판의 전면(entire surface)에 형성되는 단계에서 본 발명을 적용할 수 있다.

- <23>      상기 물질막이 실리콘질화막 및 실리콘 산화막 가운데 선택되어진 하나 또는 이들의 조합일 경우, 반도체 소자의 도전체로 사용되는 폴리실리콘막이 상기 캐핑막(54)이 될 수 있다.
- <24>      도 3의 94 및 도 7을 참조하면, 상기 반도체 기판(50) 후면의 상기 캐핑막(54)을 선택적으로 제거하여 상기 물질막(52)의 최상층을 노출시킨다. 이 과정에서, 상기 반도체 기판(50) 전면에 형성된 상기 캐핑막(54)은 제거되지 않도록 유의한다. 이를 위하여 본 발명은 반도체 기판을 회전시킴으로써 후면의 캐핑막(54) 제거를 위한 식각용액이 상기 반도체 기판(50)의 전면에 도달하는 것을 방지한다. 상기 캐핑막(54)이 폴리실리콘일 경우, 상기 반도체 기판(50)의 후면에 인산( $\text{HNO}_3$ ) 및 불산( $\text{HF}$ )의 혼합액을 분사함으로써 상기 캐핑막(54)을 제거할 수 있다. 이 때, 상기 혼합액의 혼합비는 1:1 내지 500:1로 인산 및 불산을 동등한 비율이거나 인산 비율이 불산 비율보다 높은 것이 바람직하다.
- <25>      도 3의 96 및 도 8을 참조하면, 상기 반도체 기판(50) 후면의 상기 물질막(52)을 제거한다. 상기 물질막(52)은 상기 캐핑막(54)과 반응하지 않으며 상기 물질막(52)에 대한 식각선택성이 우수한 식각용액으로 제거할 수 있다. 상기 반도체 기판(50) 전면의 상기 구조체(52p)는 상기 캐핑막(54)으로 보호된다. 따라서, 공정시간 단축을 위해서 상기 물질막(52)은 습식식각법을 적용하여 제거할 수 있다. 즉, 불산과 탈이온수(deionized water)의 혼합액이 담긴 수조에 상기 반도체 기판(10)을 담귀 상기 물질막(52)을 제거할 수 있다. 상기 불산과 탈이온수의 혼합비는 100:1 내지 1:1인 것이 바람직하다.
- <26>      도 3의 98을 참조하면, 상기 캐핑막(54)은 본 발명을 위하여 추가된 물질이 아니고, 통상의 반도체 제조공정에 사용되는 물질이다. 따라서, 상기 반도체 기판(50) 후면의 상기 물질막(52)이 제거된 후, 상기 캐핑막(54)을 패터닝하여 상기 반도체 기판 전면에 제2 구조체를 형성한다.

- <27> 도 9 내지 도 11은 본 발명을 DRAM 제조공정에 적용한 실시예를 설명하기 위한 공정단면도들이다.
- <28> 도 9를 참조하면, 통상의 DRAM 제조공정은 반도체 기판(60)에 소자분리막을 형성하여 복수개의 활성영역들을 한정하고, 상기 활성영역들의 상부를 가로지르는 복수개의 평행한 워드라인들(64p)을 형성하는 것을 포함한다. 상기 워드라인들(64p)의 상부에는 마스크층(66p)이 형성되고, 상기 워드라인들(64p)의 측벽들에는 측벽스페이서(68p)가 형성된다. 상기 워드라인들(64p)은 폴리실리콘막 또는 폴리사이드막으로 형성하고, 상기 마스크층(66p) 및 상기 측벽스페이서(68p)는 실리콘 질화막으로 형성한다. 도시하지는 않았지만, 상기 워드라인들(64p), 상기 마스크층(66p) 및 상기 측벽스페이서(68p)가 형성된 반도체 기판의 전면에 하부 층간절연막(70)이 형성된다. 상기 하부 층간절연막(도시 안함)을 패터닝하여 인접한 워드라인들 사이의 상기 활성영역의 일부분을 노출시키되, 상기 마스크층(66p) 및 상기 측벽스페이서(68p)에 정렬되도록 활성영역을 출시킨다. 상기 반도체 기판(60)의 전면(entire surface)에 도전막(72), 예컨대 폴리실리콘막을 형성한다.
- <29> 지금까지 공정을 진행하는 동안, 상기 반도체 기판(60)의 후면에는 제1 폴리실리콘막(64), 제1 절연막(66), 제2 절연막(68), 제3 절연막(70) 및 도전막(제2 폴리실리콘막; 72)이 적층된다. 상기 제1 폴리실리콘막(64) 및 상기 제2 폴리실리콘막(72)은 각각 상기 워드라인(64p) 및 상기 도전막 형성 단계에서 형성된 막이고, 상기 제1 내지 제3 절연막은 각각 마스크층(66p), 측벽스페이서(68p) 및 하부 층간절연막 형성단계에서 형성된 막이다. 도시된 것과 같이, DRAM제조공정에서 도전성 패드를 형성하기 위한 폴리실리콘막을 형성하면, 반도체 기판의 후면에는 하층의 절연층들은 폴리실리콘막으로 덮인다. 다층의 절연층들 중 특히 실리콘질화막

은 반도체 기판에 스트레스를 강하게 가하는 것으로 알려져 있다. 따라서, 실리콘 질화막을 제거함으로써 반도체 기판의 휨정도는 현저히 완화될 수 있다.

<30> 도 10을 참조하면, 상기 반도체 기판(60) 후면의 상기 제2 폴리실리콘막(72)을 제거한다. 상기 제2 폴리실리콘막(72)은 반도체 기판을 회전시키면서, 상기 반도체 기판의 후면에 질산과 불산의 혼합액을 분사함으로써 제거할 수 있다. 이 때, 상기 혼합액은 반도체 기판의 회전에 의한 구심력을 받아 상기 반도체 기판(60)의 가장자리에서 외부로 배출된다. 따라서, 상기 반도체 기판(60)의 전면에 상기 혼합액이 도달하는 것을 막을 수 있다. 그러나, 상기 혼합액이 상기 반도체 기판(60)의 전면에 도달하는 것을 확실히 방지하기 위하여 상기 반도체 기판(60)의 전면에는 탈이온수 또는 불활성기체를 분사할 수도 있다.

<31> 결과적으로, 상기 반도체 기판(60)의 후면은 하부의 물질층의 최상층, 즉 제 3 절연막(70)이 노출되고, 상기 반도체 기판(60)의 전면은 도전막(제2 폴리실리콘막)으로 덮인다. 따라서, 상기 반도체 기판(60)에 습식식각공정을 적용하여 상기 반도체 기판(60) 후면의 상기 제1, 제2 및 제3 절연막(66,68,70)을 제거할 수 있다.

<32> 계속해서, 상기 반도체 기판(60) 전면의 상기 도전막(72)을 리세스시켜 상기 활성영역과 직접적으로 접촉하는 복수개의 도전성 패드들(72p)을 형성한다.

<33> 도 11을 참조하면, 상기 반도체 기판(60)에 중간 층간절연막(80) 및 상부 층간절연막(84), 비트라인(82p) 및 매몰 콘택 플러그(86p)를 형성한다. 상기 반도체 기판(60)의 후면에는 중간 및 상부 층간절연막들(80, 84), 상기 비트라인(82p) 및 상기 매몰 콘택 플러그(86p)를 형성하는 물질들(82, 86)이 차례로 적층된다. 필요에 따라 상기 반도체 기판(60) 후면의 물질막들을 더 제거할 수도 있다. 그러나, 후속공정에서는 반도체 기판의 휨정도 심화가 약해지기 때문에 본 발명을 선택적으로 적용할 수 있다.

- <34> 도 12는 본 발명의 바람직한 실시예에 따른 반도체 기판 후면 식각과정을 설명하기 위한 도면이다.
- <35> 도 12를 참조하면, 반도체 기판의 후면을 식각하여 기판의 휘어짐을 억제하기 위한 설비는 반도체 기판(100)을 회전하기 위한 회전수단(도시안함)과 상기 반도체 기판(100)의 중앙부에 유체를 분사할 수 있는 분사수단을 구비한다. 상기 분사수단은 반도체 기판(100)의 상부에 설치되어 하방으로 유체를 분사하는 제1 분사수단(104) 및 반도체 기판(100)의 하부에 설치되어 상방으로 유체를 분사하는 제2 분사수단(102)이다.
- <36> 반도체 기판에 스트레스를 가하는 물질막들로 제1 구조체가 형성되고, 제2 구조체를 형성하기 위한 캐핑막이 캐핑된 반도체 기판(100)을 회전시킨다. 일반적으로, 반도체 기판의 후면에는 상기 제1 구조체를 형성하는 물질막이 적층되어 있고, 그 상부에 상기 캐핑막이 적층된다. 상기 반도체 기판(100)은 전면이 상부를 향하거나, 후면이 상부를 향하도록 배치할 수 있다. 상기 반도체 기판(100)의 후면에 상기 캐핑막을 식각하는 식각용액을 분사한다. 고정된 반도체 기판을 후면에 식각용액을 분사할 경우, 식각 균일도가 떨어지고, 후면 전체에 식각용액이 고르게 분사할 경우에는 상기 반도체 기판의 전면에도 식각용액이 도달할 수 있다. 따라서, 본 발명은 회전하는 반도체 기판(100)에 식각용액을 분사하는 것을 특징으로 한다. 회전하는 반도체 기판(100)에 접촉한 상기 식각용액은 구심력을 받아 상기 반도체 기판(100)의 가장자리에서 외부로 배출된다. 따라서, 상기 반도체 기판(100)의 전면에 식각용액이 도달하는 것을 막을 수 있다. 이에 더하여, 상기 반도체 기판(100)의 전면에 보호물질을 분사하여 미량의 상기 식각용액이 전면에 도달하는 것을 방지하는 것이 바람직하다. 상기 보호물질은 상기 캐핑막과 반응하지 않는 유체로써, 예컨대 탈이온수(deionized water) 또는 불활성 기체일 수 있다.

- <37>      상기 반도체 기판(100)의 후면이 상방을 향하도록 배치할 경우, 상기 제1 분사수단(104)은 식각용액을 분사하고, 상기 제2 분사수단(102)은 보호물질을 분사한다. 반면에, 상기 반도체 기판(100)의 후면이 하방을 향하도록 배치할 경우, 상기 제1 분사수단(104)은 보호물질을 분사하고, 상기 제2 분사수단(102)은 식각용액을 분사한다.
- <38>      상기 캐핑막이 제거된 결과물은 후면은 상기 물질막들의 상층부가 노출되고, 전면은 상기 캐핑막으로 덮여있다. 따라서, 상기 물질막들을 식각하되, 상기 캐핑막에 대한 식각속도는 아주 느리거나, 식각하지 않는 용액에 담금으로써 상기 반도체 기판 후면의 상기 물질막들을 제거할 수 있다.
- <39>      도 13 내지 도 15는 웨이퍼 휘어짐 억제를 위한 후면 식각방법의 실시예들을 설명하기 위한 흐름도들이다.
- <40>      첫번째 실시예에서, 도 13의 110을 참조하면, 반도체 기판의 전면이 상부를 향하도록 배치한다. 상기 반도체 기판의 후면에는 식각선택성을 가지는 제1 및 제2 물질층이 차례로 적층되어 있다.
- <41>      도 13의 112을 참조하면, 상기 반도체 기판을 회전시킨다. 상기 반도체 기판을 회전시킴으로써, 상기 반도체 기판 표면에 접촉하는 용액 및 기체 등의 유체들은 구심력에 의해 기판의 외곽으로 밀려날 수 있다.
- <42>      도 13의 114를 참조하면, 상기 반도체 기판의 전면에 탈이온수 또는 불활성 가스를 분사하고, 상기 반도체 기판의 후면에는 상기 제2 물질층을 식각하는 식각용액을 분사한다. 이 때, 상기 탈이온수 또는 불활성 가스의 분사 개시시간은 상기 식각용액의 분사 개시시간보다 선행

하는 것이 바람직하고, 종료시간은 상기 식각용액의 종료시간이 불활성 가스 또는 탈이온수의 종료시간보다 선행하는 것이 바람직하다.

<43> 도 13의 116을 참조하면, 후면의 상기 제2 물질층이 식각된 반도체 기판을 제1 물질층에 대한 식각선택성이 높은 식각용액이 담긴 수조에 넣어 상기 반도체 기판 후면에 노출된 상기 제1 물질층을 식각한다. 상기 수조에 담긴 식각용액은 상기 제2 물질층과 반응하지 않거나, 식각속도가 매우 느린 식각용액이어야 한다.

<44> 도 13의 118, 상기 반도체 기판을 세정한다. 결과적으로 상기 반도체 기판의 후면의 상기 제1 및 제2 물질층은 제거된다. 계속해서, 상기 반도체 기판 전면의 상기 제2 물질층을 패터닝하여 소정의 구조체를 형성한다.

<45> 두번째 실시예는 상기 첫번째 실시예와 매우 유사하다. 도 14의 120 내지 128을 참조하면, 첫번째 실시예와 차이점은 반도체 기판의 후면이 상부를 향하도록 배치하는 것이다.

<46> 마지막으로 상기 제2 물질층을 플라즈마 식각법을 적용하여 제거하는 방법이 있다. 도 15의 130을 참조하면, 후면에 상호 식각선택성을 갖는 제1 및 제2 물질층이 차례로 적층된 반도체 기판의 후면이 상부를 향하도록 상기 반도체 기판을 챔버 내에 배치한다.

<47> 도 15의 132를 참조하면, 상기 챔버내에 상기 제2 물질층에 대한 높은 식각선택성을 가지는 식각가스를 주입하여 상기 반도체 기판 후면의 상기 제2 물질층을 식각한다. 상기 식각가스는 플라즈마 파워의 방향성으로 인하여 상기 반도체 기판의 후면은 식각하지만, 전면은 식각하지 않는다.

<48> 도 15의 134를 참조하면, 상기 첫번째, 두번째 실시예와 마찬가지로, 상기 반도체 기판을 제1 물질층에 대한 식각선택성이 매우 높은 식각용액에 담겨 상기 제1 물질층을 제거한다.



<49> 도 15의 136을 참조하면, 상기 반도체 기판을 세정한다. 이어서, 상기 반도체 기판 전면의 상기 제2 물질층을 패터닝하여 소정의 구조체를 형성한다.

**【발명의 효과】**

<50> 상술한 것과 같이 본 발명에 따르면, 웨이퍼의 휘어짐을 심화시키는 기판 후면의 물질층들의 일부분을 제거함으로써 웨이퍼 휘어짐을 완화시킬 수 있다. 이 때, 후행 구조체를 형성하기 위해 선행 구조체의 전면에 덮이는 물질막을 캐핑막으로 사용하여 후면을 식각함으로써, 전면에 형성된 선행 구조체의 손상을 방지할 수 있다.

<51> 또한, 회전하는 반도체 기판 후면의 캐핑막을 제거함으로써, 상기 캐핑막 제거를 위한 식각용액이 반도체 기판의 전면에 도달하지 않도록 막을 수 있다.

【특허청구범위】

【청구항 1】

전면(front side) 및 후면(backside)을 갖는 반도체 기판을 제공하는 단계;

상기 반도체 기판의 전면 및 후면에 적어도 한층의 물질층을 적층하는 단계;

상기 물질층을 선택적으로 식각하여 상기 반도체 기판의 전면에 제1 구조체(first structure)를 형성하는 단계;

상기 반도체 기판 전면의 상기 구조체 및 상기 반도체 기판 후면의 상기 물질층을 덮는 캐핑층을 형성하는 단계;

상기 반도체 기판을 회전시키고, 회전하는 반도체 기판 후면에 식각용액을 공급하여 상기 캐핑층을 선택적으로 제거하는 단계;

상기 캐핑층에 의해 상기 구조체를 보호함과 동시에 상기 반도체 기판의 후면의 상기 물질층을 제거하는 단계; 및

상기 캐핑층을 패터닝하여 상기 반도체 기판의 전면에 제2 구조체를 형성하는 단계를 포함하는 반도체 제조방법.

【청구항 2】

제 1 항에 있어서,

상기 반도체 기판 후면의 상기 캐핑층을 제거하는 단계는,

상기 반도체 기판을 회전하는 단계; 및

회전하는 반도체 기판의 후면에 식각용액을 분사하는 단계를 포함하되, 상기 반도체 기판의 전면에 보호물질을 분사하여 상기 식각용액이 상기 반도체 기판의 전면에 도달하는 것을 막는 것을 특징으로 하는 반도체 제조방법.

【청구항 3】

제 2 항에 있어서,

상기 반도체 기판의 전면에 탈이온수를 분사하여 상기 식각용액이 상기 반도체 기판의 전면에 도달하는 것을 막는 것을 특징으로 하는 반도체 제조방법.

【청구항 4】

제 2 항에 있어서,

상기 반도체 기판의 전면에 불활성 기체를 분사하여 상기 식각용액이 상기 반도체 기판의 전면에 도달하는 것을 막는 것을 특징으로 하는 반도체 제조방법.

【청구항 5】

제 2 항에 있어서,

상기 식각용액을 공급하는 단계는,

회전하는 반도체 기판의 전면에 보호물질을 분사하는 단계;

상기 보호물질이 분사되는 반도체 기판의 후면에 식각용액을 공급하는 단계;

상기 식각용액 공급을 중단하는 단계; 및

상기 보호물질 분사를 중단하는 단계를 포함하는 반도체 제조방법.

【청구항 6】

제 1 항에 있어서,

상기 물질층을 제거하는 단계에서,

상기 캐핑층은 유지하되 상기 물질층에 대하여 높은 식각선택성을 갖는 식각용액을 공급하는 것을 특징으로 하는 반도체 제조방법.

【청구항 7】

제 1 항에 있어서,

상기 물질층을 제거하는 단계는,

상기 캐핑층은 유지하되 상기 물질층에 대하여 높은 식각선택성을 갖는 식각용액이 담긴 수조를 제공하는 단계;

상기 반도체 기판을 상기 수조 내에 담그는 단계; 및

상기 반도체 기판을 세정하는 단계를 포함하는 반도체 제조방법.

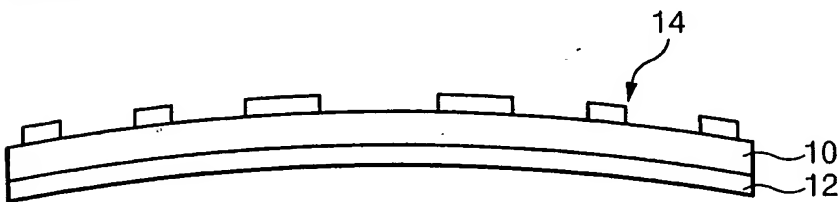
【도면】

【도 1】

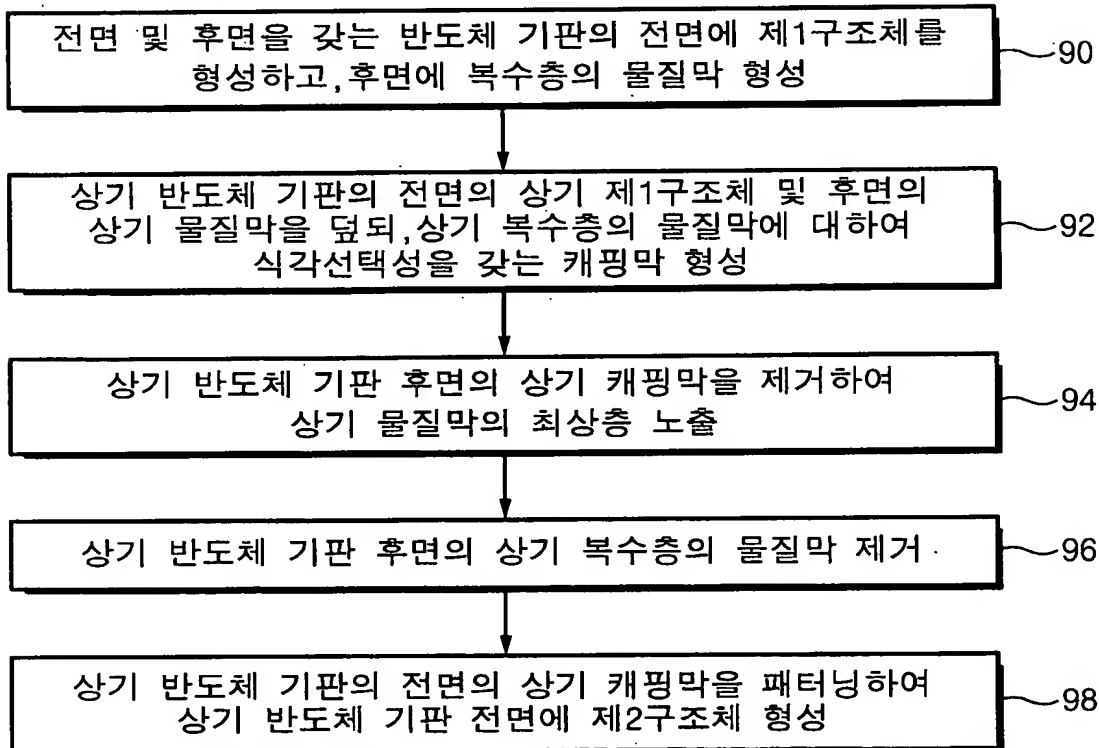
(종래 기술)



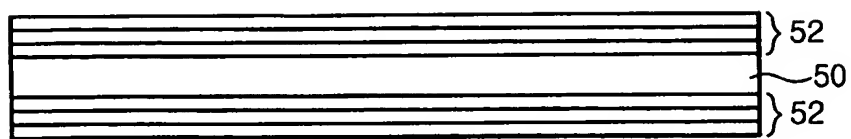
【도 2】



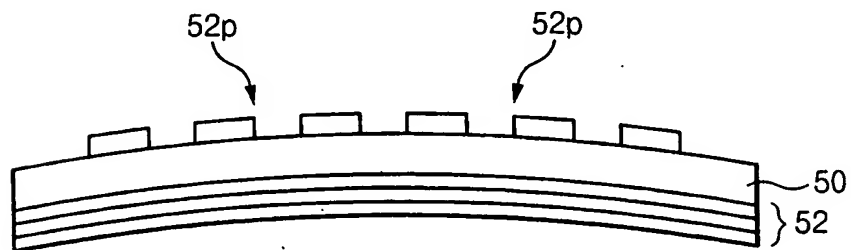
【도 3】



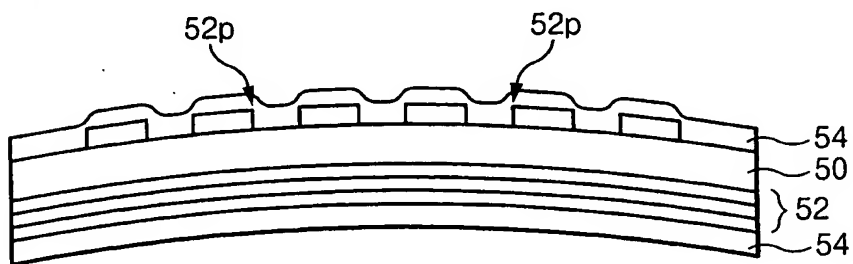
【도 4】



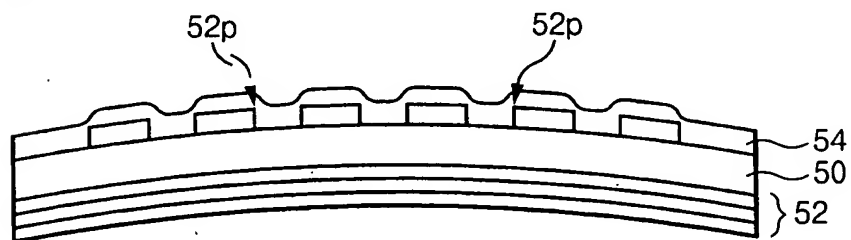
【도 5】



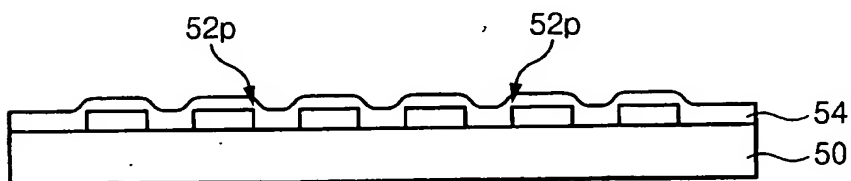
【도 6】



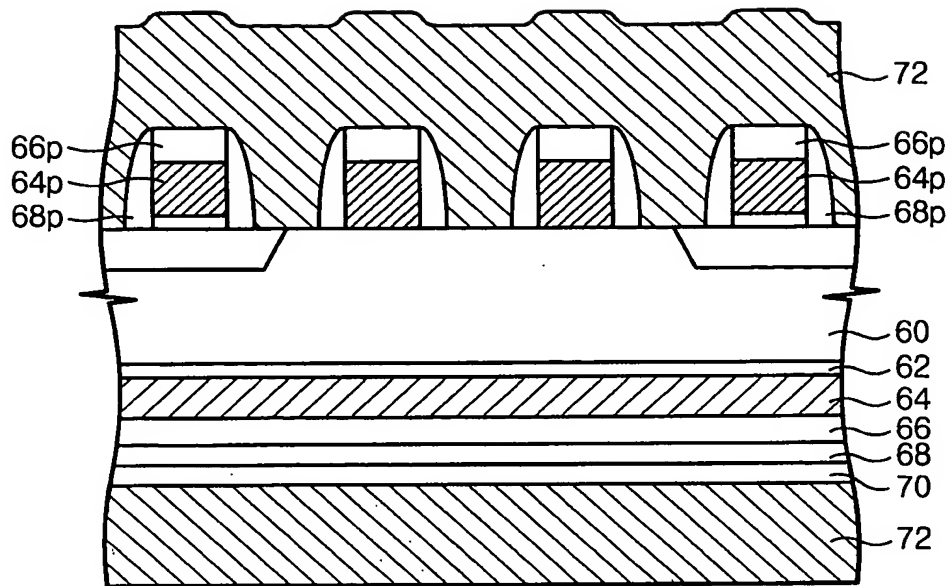
【도 7】



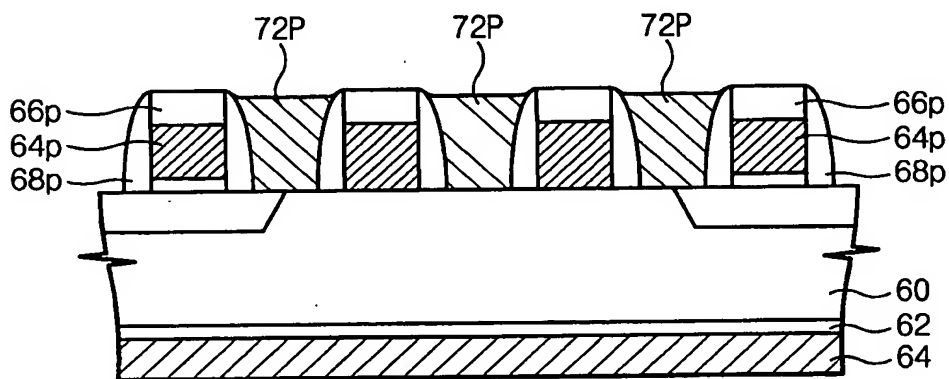
【도 8】



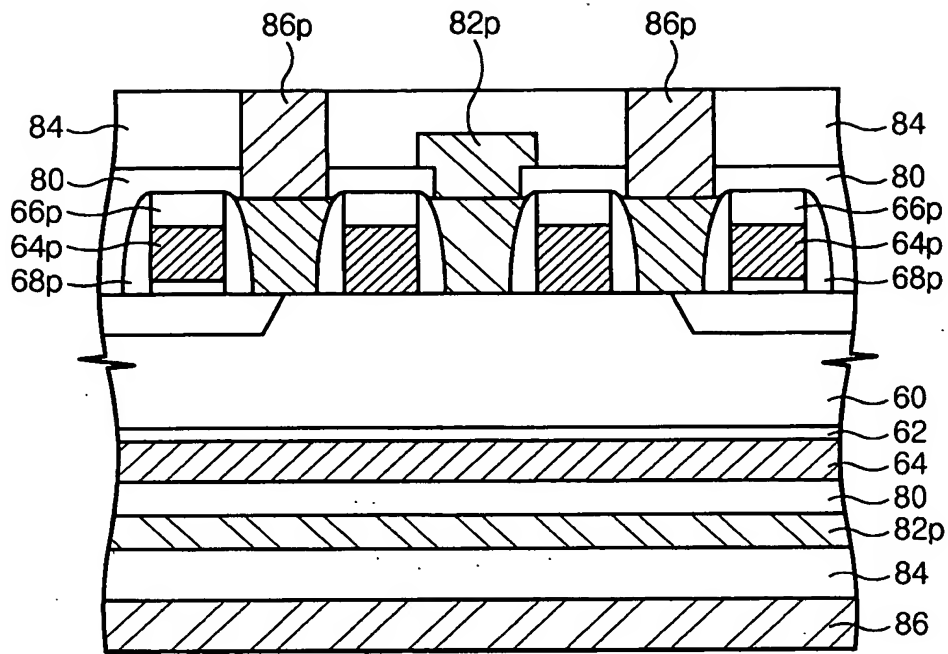
【도 9】



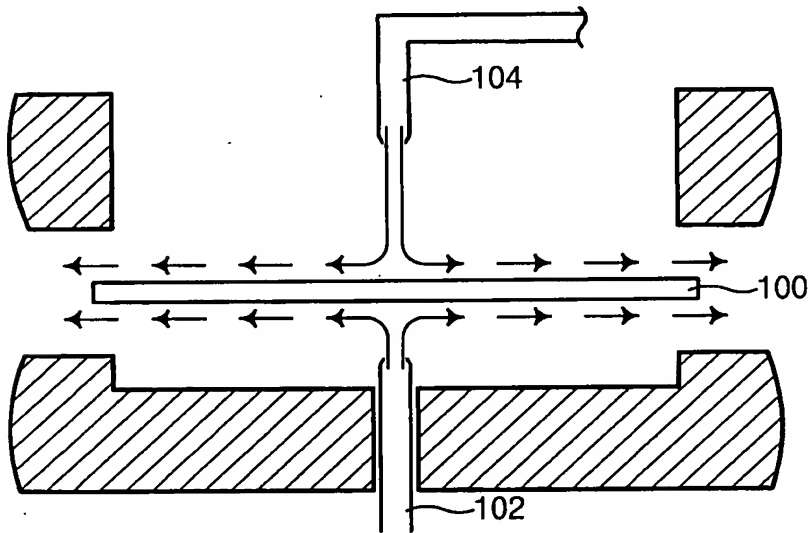
【도 10】



【도 11】

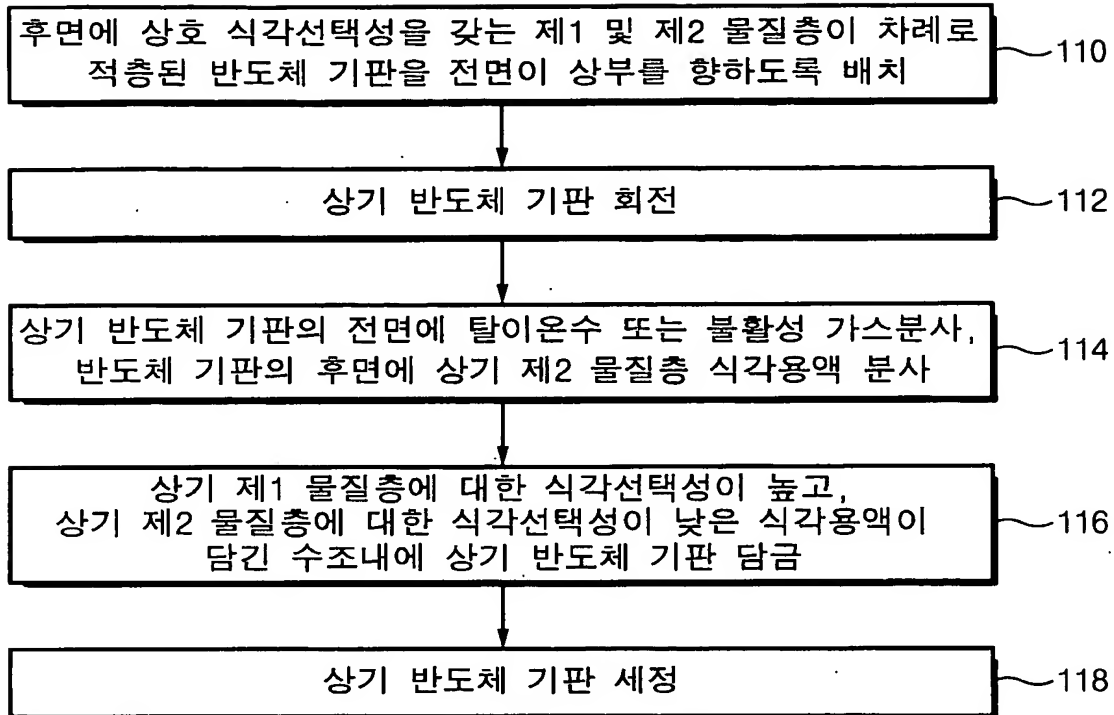


【도 12】

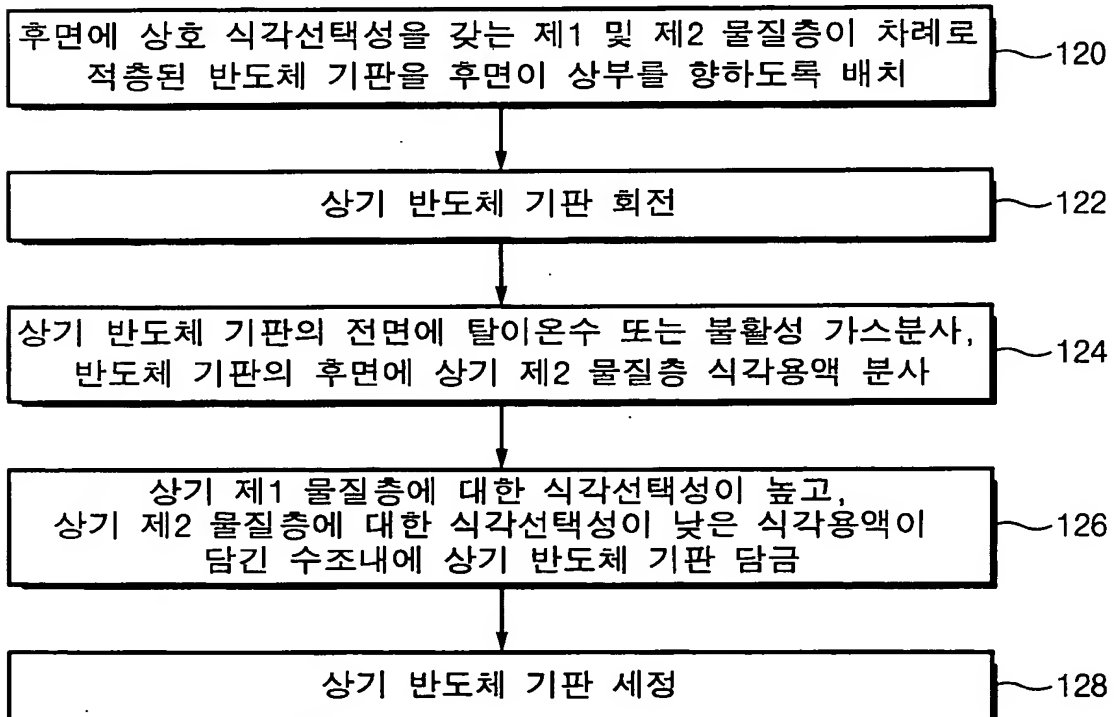




【도 13】



【도 14】



【도 15】

